

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-204719

(43)Date of publication of application : 30.07.1999

(51)Int.Cl.

H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 10-002484

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.01.1998

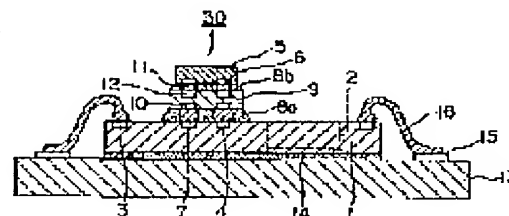
(72)Inventor : HOSOMI HIDEKAZU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device whose memory capacity can easily be increased, or to which a logic function can easily be added and whose flexibility on design is high.

SOLUTION: A second semiconductor chip 5 into which a circuit for extending the function of a semiconductor chip 1 is incorporated is loaded on the first semiconductor chip 1 fixed on the upper face of a mounted board 13 through an insertion board 9 having an inner layer wiring and they are fixed by resins 8a and 8b. The inner electrode pad 6 of the second semiconductor chip 5 is connected to an inner electrode pad 12 of the insertion board 9 through a bump 11. An inner electrode pad 10 of the insertion board 9 is connected to the inner electrode pad 4 of the first semiconductor chip 1 through a bump 7. The outer electrode 3 of the first semiconductor chip 1 is connected to a board wiring 15 of the mounted board 13 through a wire 16.



LEGAL STATUS

[Date of request for examination] 06.09.2001

[Date of sending the examiner's decision of rejection] 06.01.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-204719

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.⁹

H 0 1 L 25/065
25/07
25/18

識別記号

F I

H 0 1 L 25/08

Z

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願平10-2484

(22) 出願日 平成10年(1998) 1月8日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 細 美 英 一

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

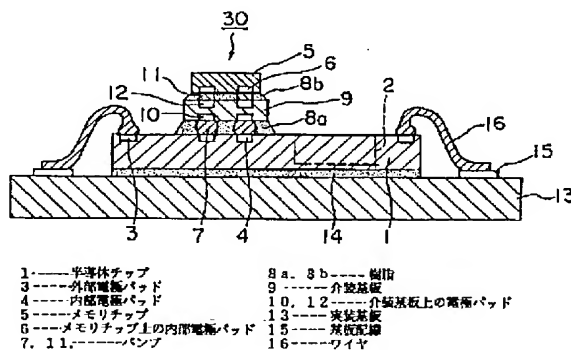
(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 メモリ容量の増加またはロジック機能の追加が容易にでき、設計の柔軟性の高い半導体装置を提供する。

【解決手段】 実装基板13の上面に固着させた第1の半導体チップ1の上に、この半導体チップ1の機能を拡張するための回路を組込んだ第2の半導体チップ2を、内層配線を有する介装基板9を介して搭載して樹脂8b、8aで相互に固着させ、 bumps 11を介して第2の半導体チップ5の内部電極パッド6と介装基板9の内部電極パッド12とを接続し、 bumps 7を介して介装基板9の内部電極パッド10と第1の半導体チップ1の内部電極パッド4とを接続し、さらに、ワイヤ16を介して第1の半導体チップ1の外部電極パッド3と実装基板13の基板配線15とを接続する。



【特許請求の範囲】

【請求項1】第1の半導体チップと、

前記第1の半導体チップよりも占有面積が小さい第2の半導体チップと、

前記第1の半導体チップの特性を前記第2の半導体チップの特性に整合させるための内層配線を有し、前記第1の半導体チップと前記第2の半導体チップの間に介装される介装基板とを備え、

前記第1の半導体チップは、外部の回路に接続するための複数の外部電極パッドと前記介装基板の前記内層配線に接続するための複数の第1の内部電極パッドとを備え、

前記第2の半導体チップは、前記介装基板の前記内層配線に接続するための複数の第2の内部電極パッドを備え、

前記介装基板は、前記第1の内部電極パッドに対応して下面に形成された第3の内部電極パッドと前記第1の内部電極パッドとが接続され、前記第2の内部電極パッドに対応して上面に形成された第4の内部電極パッドと前記第2の内部電極パッドとが接続された半導体装置。

【請求項2】前記第1の半導体チップを上面で支持するとともに、上面に金属配線を備えた実装基板をさらに備え、

前記外部電極パッドは、前記第1の半導体チップの上面の周辺部に設けられ、

前記第1の内部電極パッドは、前記周辺部を除く前記第1の半導体チップの上面に設けられ、

前記金属配線は、ワイヤを介して前記外部電極パッドと接続されたことを特徴とする請求項1に記載の半導体装置。

【請求項3】略中央に開口が形成され、先端が該開口内に延在する金属配線を上面に備えた可撓性フィルムをさらに備え、

前記外部電極パッドは、前記第1の半導体チップの上面の周辺部に設けられ、

前記第1の内部電極パッドは、前記周辺部を除く前記第1の半導体チップの上面に設けられ、

前記第1の半導体チップは、前記介装基板と前記第2の半導体チップとともに前記開口内に挿入され、

前記外部電極パッドは、前記金属配線と接続され、前記開口内に封入された樹脂により前記第1の半導体チップと前記介装基板と前記第2の半導体チップが封止されたことを特徴とする請求項1に記載の半導体装置。

【請求項4】前記外部電極パッドは、前記第1の半導体チップの下面の周辺部に設けられ、

前記第1の内部電極パッドは、前記周辺部を除く前記第1の半導体チップの下面に設けられ、

前記介装基板は、前記第1の内部電極パッドに対応して上面に形成された第3の内部電極パッドと前記第1の内部電極パッドとが接続され、前記第2の内部電極パッド

に対応して下面に形成された第4の内部電極パッドと前記第2の内部電極パッドとが接続され、

前記第1の半導体チップを上面で支持するとともに、前記介装基板と前記第2の半導体チップを格納するための開口が穿設された実装基板をさらに備え、

前記実装基板は、前記外部電極パッドに対応して設けられた基板電極を上面に備え、前記基板電極と前記外部電極パッドとが接続され、

前記実装基板と前記第1の半導体チップとの間から封入された樹脂により、封止されていることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係り、特に、半導体集積回路の設計変更を伴うことなく、メモリ容量または付加的な機能の追加・拡張を実現することができる半導体装置に関するものである。

【0002】

【従来の技術】半導体装置の集積度のますますの向上により、単一の半導体チップ内に複数の機能を搭載することが可能になってきている。これにより、プログラムやデータ保存用のメモリ回路と制御・演算用のロジック回路とが単一のチップ上に搭載されるようになってきている。例えば、マイクロコントローラやユーザ仕様に応じた回路設計を行うASIC (Application Specific Integrated Circuit) においては、プログラム格納用のROMやデータ保存用のRAMと制御・演算を行うロジック部とが単一の半導体チップ上に形成されている。

【0003】また、半導体製造技術の進歩により、同一の面積上に多数のトランジスタを形成することができるようになったため、メモリおよびロジック回路のゲート数は増加の一途をたどっている。

【0004】しかし、このように半導体装置の集積度が日進月歩で進歩しているとしても、所定の時点では、所定の大きさの半導体チップに搭載できる機能は、一定している。

【0005】例えば、メモリについては、容量が大きくなるほど、これを搭載する半導体チップの面積は大きくなり、例えばユーザ仕様の変更により、設計が完了した後で、必要なメモリ容量が2倍になった場合には、これに見合う回路を最初から設計し直さなければならない。また、ユーザニーズの多様さからロジック部の機能は同一でも異なる容量のメモリを有する半導体チップを用意したい場合がある。これに対処するには、メモリ容量が異なる複数のチップを製造する必要が生じ、メーカー側においては、品種管理のコストが上昇することになる。

【0006】また、ロジック素子については、特定の機能を付加するか否かにより、半導体装置の製造コストが大きく異なり、高級品と廉価品に分岐する場合がある。この場合においても、特定の機能を後から付加したい場

合には、廉価品に別チップを追加して2チップ構成とする方法と、チップの設計を再度行い1チップの高級品を提供する方法とがある。前者の方法によれば、基板実装に必要な面積が大きくなり、後者の方法によれば、製造コストが大幅に増大するという問題点があった。

【0007】このような問題を解決するため、追加のメモリや特定の機能を組込んだ半導体チップを既にある半導体チップの上に搭載するチップオンチップの方法が考案されている。

【0008】従来の技術によるチップオンチップの半導体装置について図面を参照しながら説明する。

【0009】図10は、このような従来の技術の第1の例である半導体装置100を示す略断面図である。

【0010】同図において、半導体チップ1は、既に設計が完了した半導体集積回路を実現した半導体チップであり、点線で示す部分の内部には、1Mbitの容量のメモリ回路2が組込まれている。半導体チップ1の上面の周辺部には、外部の基板等に接続され、信号の入出力を行う外部電極パッド3が設けられている。半導体チップ1の上面の略中央には、内部電極4が対となって形成されており、図示しない半導体チップ1の内部配線によりメモリ回路2と接続されている。

【0011】半導体チップ1の上には、1Mbitの容量を有するメモリチップ5が搭載されており、樹脂8により、半導体チップの上面に固着されている。

【0012】メモリチップ5の下面には、内部電極パッド6が半導体チップ1の内部電極4に対応して形成され、バンプ7を介して接続されている。

【0013】図10に示す半導体装置100の平面図を図11に示す。

【0014】同図に示すように、方形の平面形状を有する半導体チップ1の周辺部に多数の外部電極パッド3が所定の間隔で形成されている。半導体チップ1の中央の紙面やや右上の点線で示した部分下のチップ内部には、1Mbitの容量のメモリ回路2が組込まれている。このメモリ回路を組込んだ領域に近接してその領域の左側には、長方形の平面形状を有するメモリチップ5が搭載され、樹脂8により半導体チップ1の上面に固着されている。

【0015】図10および図11に示す半導体装置100によれば、半導体チップ1上にメモリチップ5が搭載され、このメモリチップ5内のメモリ回路が半導体チップ1内のメモリ回路2に接続されるので、半導体装置の実装面積を増大させることなく、1Mbitの容量のメモリを増設することができるというメリットがあった。

【0016】

【発明が解決しようとする課題】しかしながら、上述の従来の技術においては、メモリチップ5の内部電極パッド6のピッチを半導体チップ1の内部電極パッド4のピッチに一致させなければならないため、この点が設計上

の制約となっていた。特に、異なるメーカーの半導体チップに搭載するためには、電極パッドのピッチのみならず、異なる様々な特性に合致させる必要があり、設計上の困難を伴うため、メモリチップのコストが却って上昇するなど、設計の柔軟性に欠けるという問題点があった。

【0017】本発明は、上記事情に鑑みてなされたものであり、その目的は、メモリ回路とロジック回路とが混載されている半導体装置において、メモリ容量の増加またはロジック機能の追加が容易にでき、設計の柔軟性の高い半導体装置を提供することにある。

【0018】

【課題を解決するための手段】本発明は以下の手段により上記課題の解決を図る。

【0019】即ち、本発明（請求項1）によれば、第1の半導体チップと、上記第1の半導体チップよりも占有面積が小さい第2の半導体チップと、上記第1の半導体チップの特性を上記第2の半導体チップの特性に整合させるための内層配線を有し、上記第1の半導体チップと上記第2の半導体チップの間に介装される介装基板とを備え、上記第1の半導体チップは、外部の回路に接続するための複数の外部電極パッドと上記介装基板の上記内層配線に接続するための複数の第1の内部電極パッドとを備え、上記第2の半導体チップは、上記介装基板の上記内層配線に接続するための複数の第2の内部電極パッドを備え、上記介装基板は、上記第1の内部電極パッドに対応して下面に形成された第3の内部電極パッドと上記第1の内部電極パッドとが接続され、上記第2の内部電極パッドに対応して上面に形成された第4の内部電極パッドと上記第2の内部電極パッドとが接続された半導体装置が提供される。

【0020】上記半導体装置は、上記第1の半導体チップを上面で支持するとともに、上面に金属配線を備えた実装基板をさらに備え、上記外部電極パッドは、上記第1の半導体チップの上面の周辺部に設けられ、上記第1の内部電極パッドは、上記周辺部を除く上記第1の半導体チップの上面に設けられ、上記金属配線は、ワイヤを介して上記外部電極パッドと接続されているとよい。

【0021】また、上記半導体装置は、略中央に開口が形成され、先端が該開口内に延在する金属配線を上面に備えた可撓性フィルムをさらに備え、上記外部電極パッドは、上記第1の半導体チップの上面の周辺部に設けられ、上記第1の内部電極パッドは、上記周辺部を除く上記第1の半導体チップの上面に設けられ、上記第1の半導体チップは、上記介装基板と上記第2の半導体チップとともに上記開口内に挿入され、上記外部電極パッドは、上記金属配線と接続され、上記開口内に封入された樹脂により上記第1の半導体チップと上記介装基板と上記第2の半導体チップが封止されたものでもよい。

【0022】また、上記外部電極パッドは、上記第1の

半導体チップの下面の周辺部に設けられ、上記第1の内部電極パッドは、上記周辺部を除く上記第1の半導体チップの下面に設けられ、上記介装基板は、上記第1の内部電極パッドに対応して上面に形成された第3の内部電極パッドと上記第1の内部電極パッドとが接続され、上記第2の内部電極パッドに対応して下面に形成された第4の内部電極パッドと上記第2の内部電極パッドとが接続され、上記第1の半導体チップを上面で支持するとともに、上記介装基板と上記第2の半導体チップを格納するための開口が穿設された実装基板をさらに備え、上記実装基板は、上記外部電極パッドに対応して設けられた基板電極を上面に備え、該基板電極と上記外部電極パッドとが接続され、上記実装基板と上記第1の半導体チップとの間から封入された樹脂により封止されたものでもよい。

【0023】

【発明の実施の形態】本発明の特徴点は、メインの半導体チップと、このメインチップの機能を付加・拡張するためのサブチップとを相互の特性を整合させるための内層配線を備えた介装基板を介して接続させる点にある。

【0024】以下、本発明の実施の形態のいくつかについて図面を参照しながら説明する。なお、以下の各図において、同一の部分には同一の参照番号を付してその説明は省略する。

【0025】図3は、本発明にかかる半導体装置の第1の実施の形態を示す略示断面図である。

【0026】同図に示すように、本実施形態にかかる半導体装置20は、メモリ回路2を組込んだ第1の半導体チップである半導体チップ1と、この半導体チップ1のメモリを拡張するための第2の半導体チップであるメモリチップ5と、本発明において特徴的な介装基板9とを備えている。

【0027】半導体チップ1には、メモリ回路2が組込まれており、そのメモリ容量は、本実施形態において1Mbitである。半導体チップ1の上面中央の紙面やや左側の表面部には、複数の内部電極パッド4が備えられており、図示しない内部配線を介して、上記メモリ回路2に接続されている。

【0028】半導体チップ1の表面の周辺部には、外部の実装基板等に接続するための外部電極パッド3が備えられており、この外部電極パッド3を介して外部の回路と信号の送受が行われる。

【0029】内部電極パッド4の上には、これに対応してはんだバンプ7が形成されている。

【0030】半導体チップ1の上には、上記の内部電極パッド4およびバンプ7に対応して形成された内部電極パッド10を下面に備えた介装基板9が搭載されている。介装基板9と半導体チップ1との間には、樹脂8aが封入されている。樹脂8aは、介装基板9と半導体チップ1との熱膨張係数の差により生ずる応力を緩和する

役割があり、バンプ7の疲労破壊を防止する。しかし、介装基板が薄い場合、例えば0.1mm以下の場合、生じる応力が小さくなるために樹脂8aを介装基板9と半導体チップ1との間に封入しなくても良い。介装基板の材質には、特に制限はないが、本実施形態では、ポリイミドを用いている。

【0031】介装基板9の内部電極パッド10は、図示しない内層配線に接続されている。また、この内層配線は、介装基板9の上面に備えられた内部電極パッド12にも接続されている。この内部電極パッド12は、次記するメモリチップ5の内部電極パッド6に対応して形成されている。

【0032】介装基板9の上には、メモリチップ5が搭載され、樹脂8bにより介装基板9の上面に固着されている。

【0033】メモリチップ5の下面には、複数の内部電極6が形成されており、上記半導体チップ1の内部電極4と異なるピッチ間隔で形成されている。

【0034】このように、本実施形態によれば、1Mbitのメモリ容量を有する半導体チップ1の上に1Mbitのメモリ容量を有するメモリチップ5を搭載し、相互の内部電極を接続することにより、メモリチップ5のメモリ回路を半導体チップ1のメモリ回路2に接続することができるため、2Mbitのメモリ容量を有する半導体装置を簡単に提供することができるのみならず、内層配線を有する介装基板9を介してメモリチップ5と半導体チップ1が接続されるので、内部電極パッドのピッチ間隔が相互に異なる場合であっても、容易に接続することができる。さらに、メモリチップ5の内部回路が介装基板9の内層配線を介して半導体チップ1のメモリ回路2と接続されるので、半導体チップ1とメモリチップ5が互いに異なるメーカーにより供給されるものであっても、相互の仕様・特性の相違を容易に整合させることができる。

【0035】次に、上述の実施形態の半導体装置を実装基板に装着した形態を本発明にかかる半導体装置の他の実施の形態として説明する。

【0036】図1は、本発明にかかる半導体装置の第2の実施の形態の略示断面図である。本実施形態にかかる半導体装置30の特徴は、第1の実施の形態にかかる半導体装置20をCSP（Chip Scale Package）に実装した点にある。

【0037】同図に示すように、実装基板13の上面の略中央に接着剤14により、本発明の第1の実施の形態である半導体装置20が固着されている。実装基板13の周辺部には、金属配線である基板配線15が半導体チップ1の外部電極パッド3に対応して設けられ、ワイヤ16によりこの外部電極パッド3と接続されている。このように、本実施形態にかかる半導体装置30は、本発明にかかる半導体装置20を実装基板13上に搭載して

いるので、半導体チップ1とメモリチップ5とが相互に異なるメーカーの製品であっても、メモリ容量を容易に拡張することができ、半導体集積回路の設計の柔軟性が大きく向上し、低コストでユーザ要求に柔軟に対処することができる半導体装置が提供される。

【0038】また、半導体チップ1とメモリチップ5が同一メーカーの製品であれば、1種類の半導体チップに対して、複数の種類のメモリチップを対応させることにより、極めて低い設計コストで製品のラインアップを充実させることができ、ひいては半導体製品全般の価格を低減することができる。

【0039】次に、本発明にかかる半導体装置の第3の実施の形態について図5および図6を参照しながら説明する。

【0040】図5は、本実施形態を説明するための従来技術の第2の例を示す略示断面図である、この第2の例に示す半導体装置50は、図10に示す半導体チップ1のみをT C P (Tape Carrier Package) 実装したものである。

【0041】同図に示すように、ポリイミド等の樹脂で形成された可撓性フィルム39の中央にデバイスホール22が設けられ、このデバイスホール22内に半導体チップ1が挿入されている。可撓性フィルム39の上面には、半導体チップ1の外部電極パッド3に対応して金属リード18が形成され、その先端部は、デバイスホール22の周縁21を越えてデバイスホール22内に延在している。

【0042】金属リード18の先端の下面には、バンプ17が設けられ、このバンプ17を介して金属リード18が半導体チップ1の外部電極パッド3と接続されるとともに、半導体チップ1を支持している。

【0043】デバイスホール22には、上方から封止樹脂19が注入され、半導体チップ1の上面およびデバイスホール22内に突出した金属リード18の先端部の全体に充填し、バンプ17をも覆って封止され、これにより接続部分の腐食が防止されている。なお、半導体チップ1の上面略中央に備えられた内部電極パッド4は、バンプ7とともに樹脂封止されている。

【0044】図6に示す半導体装置40は、本発明にかかる半導体装置を図5に示すT C Pで実装した半導体装置であり、本発明にかかる半導体装置の第3の実施の形態である。

【0045】図5との対比において明らかなように、図6に示す半導体チップ1の上面に介装基板9を介してメモリチップ5が搭載されている。半導体チップ1の内部電極パッド4のピッチ間隔とメモリチップ5の内部電極パッド6とのピッチ間隔は、相互に異なっており、それぞれバンプ7、11を介して介装基板9の内部電極パッド10、12と接続されることにより、メモリチップ5のメモリ回路は、介装基板9の図示しない内層配線を介

して半導体チップ1のメモリ回路2に接続されている。

【0046】さらに、デバイスホール22の上方から封止樹脂19が注入され、介装基板9、各バンプ7、17、11を覆って、半導体チップ1の上面からデバイスホール22内の金属リード18の先端部分およびメモリチップ5の側面下部に至るまで充填し、半導体装置40の各接続部分を外部との接触による腐食等から保護している。

【0047】本実施形態によれば、第2の実施形態において前述した効果を有する半導体装置をT C Pにおいても適用することができる。

【0048】次に、本発明にかかる半導体装置の第4の実施の形態について図2を参照しながら説明する。

【0049】図2は、本実施形態にかかる半導体装置90を示す略示断面図である。

【0050】本実施形態は、本発明にかかる半導体装置をF C (Flip Chip) 技術を用いてC S Pで基板実装したものであり、その特徴は、半導体チップ1の下面に介装基板9を介してメモリチップ5を固着させ、半導体チップ1を下面から支持する実装基板24に穿設された開口23の中にメモリチップ5および介装基板9を格納した点にある。なお、実装基板24の上面には、半導体チップ1の外部電極パッド3に対応して電極パッド25が形成され、バンプ17を介して外部電極パッド3と接続されている。

【0051】本実施形態によれば、このような構造で実装基板に装着することにより、図1との対比において明らかなように、半導体装置全体の占有スペースを縮小することができる。これにより、設計の柔軟性の高い半導体装置を高い実装密度で提供することができる。

【0052】なお、本実施形態においては、封止樹脂19が半導体チップ1の下面と実装基板24の上面との間から注入されるため、実装基板24と半導体チップ1とは、この封止樹脂により相互に固着される。ただし、封止樹脂がメモリチップ5に至るまで充填しないおそれがあるため、メモリチップ5と介装基板9とは予め樹脂8bで固着されている。

【0053】次に、メモリチップ5をワイヤボンディング技術で介装基板9に接続した形態を本発明に係る半導体装置の第5ないし第7の実施の形態として説明する。

【0054】図9は、本発明に係る半導体装置の第5の実施の形態を示す略示断面図である。

【0055】図6との対比において明らかなように、図9に示す半導体装置80は、内部電極パッド6を備えた面が上面となるようにメモリチップ5を介装基板9の上に搭載し、メモリチップ5の内部電極パッド6をワイヤ35により介装基板9の内部電極パッド12に接続したものである。メモリチップ5は、ワイヤ35とともに、介装基板9の上面に形成された樹脂37により、封止されている。

【0056】このように、本実施形態の半導体装置80によれば、ワイヤボンディングにより、メモリチップ5の内部電極パッド6が介装基板9の内部電極パッド12に接続されるので、内部電極パッド12の配列をメモリチップ5の内部電極パッド6の配列に対応させる必要がなくなる。これにより、第4の実施形態において前述した効果に加え、より設計の自由度が向上した半導体装置を提供することができる。

【0057】図7は、本発明にかかる半導体装置の第6の実施の形態を示す略示断面図である。

【0058】同図に示すように、本実施形態にかかる半導体装置60は、ワイヤボンディングによりメモリチップ5と接続された介装基板9を介してメモリチップ5が半導体チップ1に接続されている点と、これらのチップをBGA(Ball Grid Array)に実装した点に特徴がある。

【0059】即ち、図1に示す半導体装置30との対比において明らかなように、図7に示す半導体装置60においては、メモリチップ5は、内部電極パッド6を備えた面が上面となるように介装基板9の上に搭載され、ワイヤ35により内部電極パッド6と介装基板9の内部電極パッド12とが接続されている。メモリチップ5は、ワイヤ35とともに、樹脂37により封止されている。

【0060】実装基板33の上面には、樹脂38がさらに注入され、半導体装置60の上面全体、即ち、基板配線15、半導体チップ1、ワイヤ16、介装基板9、樹脂37により封止されたメモリチップ5およびワイヤ35がさらに封止され、外部との物理的・化学的接触から保護されている。また、実装基板33の下面には、図示しない内部配線により、基板配線15に接続された複数のはんだボール31が形成され、これにより、半導体装置60を外部のプリント基板(図示せず)に直接はんだ付けすることができる。

【0061】このように、本実施形態に係る半導体装置60は、メモリチップ5の内部電極パッドをワイヤボンディングにより介装基板9の内部電極パッド12と接続するので、第2の実施形態において前述した効果に加え、設計の柔軟性がより向上した半導体装置を提供することができる。

【0062】次に、本発明にかかる半導体装置の第7の実施の形態について図8を参照しながら説明する。

【0063】図2との対比において明らかなように、図8に示す半導体装置70は、介装基板9の下面にメモリチップ5を樹脂8bを介して固着させ、内部電極パッド6をワイヤ35により介装基板9の内部電極パッド12に接続し、樹脂37で封止した後、介装基板9を半導体チップ1の下面に固着させ、半導体チップ1を下面から支持する実装基板43に穿設された開口23の中にメモリチップ5とともに介装基板9を格納している。実装基板43の上面には、半導体チップ1の外部電極パッド3

に対応して電極パッド25が形成され、パンプ17を介して外部電極パッド3と接続されている。また、実装基板43の下面には、図示しない内部配線により、電極パッド25に接続された複数のはんだボール31が形成され、これにより、半導体装置70を外部のプリント基板(図示せず)に直接はんだ付けすることができる。

【0064】本実施形態によれば、このような構造で実装基板に装着することにより、図2に示す半導体装置90と同様に、半導体装置全体の占有スペースを縮小することができる上、メモリチップ5の内部電極パッド6をワイヤボンディングにより介装基板9の電極パッド12と接続するので、設計の柔軟性がより向上した半導体装置を高い実装密度で提供することができる。

【0065】以上、本発明の実施の形態について説明したが、本発明は、上記実施の形態に限るものではなく、その要旨を逸脱しない範囲で種々変形して適用することができる。上記の実施形態では、メモリチップを半導体チップに搭載する場合について説明したが、ロジック回路を組込んだ半導体装置に機能付加のためのロジックチップを搭載する場合にも適用できるのは勿論である。また、ロジック回路およびメモリ回路を組込んだ半導体装置にメモリチップまたは機能付加のためのロジックチップを搭載する場合にも適用できる。さらに、半導体チップ上に複数のメモリチップまたはロジックチップを搭載することも可能である。

【0066】また、各部の材料は、仕様に応じて変更することが可能である。例えば、上記実施形態では、パンプは、はんだで形成したが、これに限らず、金や銅からなるパンプ、または、金属パンプと導電性ペーストを組合わせたものでも良い。

【0067】

【発明の効果】以上詳述したとおり、本発明は以下の効果を奏する。

【0068】即ち、本発明によれば、第1の半導体チップに機能拡張のための第2の半導体チップを搭載するので、設計の柔軟性の高い半導体装置を提供することができる。

【0069】また、介装基板を介して第2の半導体チップを第1の半導体チップに接続するので、内部電極のピッチ間隔等、相互の特性・仕様の異なる半導体装置であっても接続することができる。これにより、異なるメーカーの製品であっても、容易に接続することが可能になり、設計の柔軟性がさらに向上するとともに、同一メーカーの製品であれば、半導体製品のラインアップを充実させることができるので、製品全体の設計コスト、ひいては製造コストを低減することができ、ユーザの要望にきめ細かく対処できる半導体装置を安価で提供することができる。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置の第2の実施の形態

11

を示す略示断面図である。

【図2】本発明にかかる半導体装置の第3の実施の形態を示す略示断面図である。

【図3】本発明にかかる半導体装置の第1の実施の形態を示す略示断面図である。

【図4】図3に示す半導体装置の略示平面図である。

【図5】従来技術による半導体装置の第2の例である。

【図6】本発明にかかる半導体装置の第4の実施の形態を示す略示断面図である。

【図7】本発明にかかる半導体装置の第6の実施の形態を示す略示断面図である。

【図8】本発明にかかる半導体装置の第7の実施の形態を示す略示断面図である。

【図9】本発明にかかる半導体装置の第5の実施の形態を示す略示断面図である。

【図10】従来技術による半導体装置の第1の例である。

【図11】図10に示す半導体装置の略示平面図である。

【符号の説明】

1 半導体チップ

*

12

* 3 外部電極パッド

4 半導体チップの内部電極パッド

5 メモリチップ

6 メモリチップの内部電極パッド

7, 11, 17 バンプ

8a, 8b 樹脂

9 介装基板

10, 12 介装基板の内部電極パッド

13, 24, 33, 43 実装基板

10 15 基板配線

16, 35 ワイヤ

18 金属リード

19, 37, 38 封止樹脂

20, 30, 40, 60, 70, 80, 90 本発明にかかる半導体装置

22 デバイスホール

23 開口

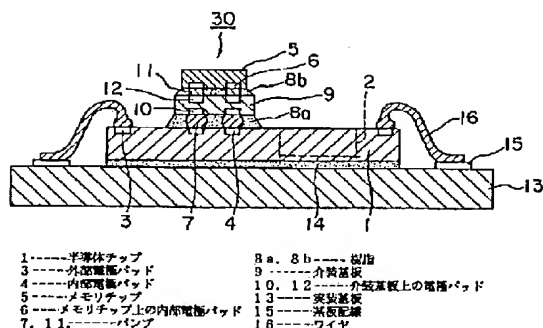
25 実装基板の電極パッド

31 はんだボール

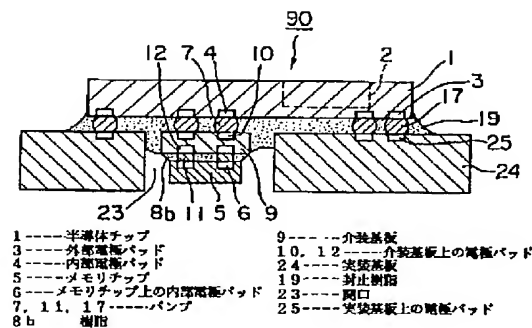
20 39 フィルムキャリアテープ

50, 100 従来技術による半導体装置

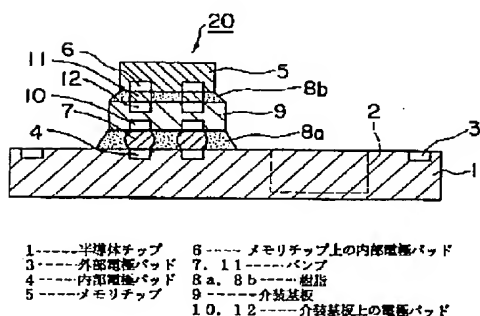
【図1】



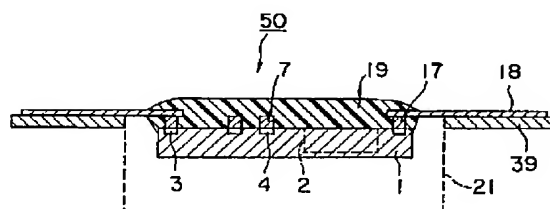
【図2】



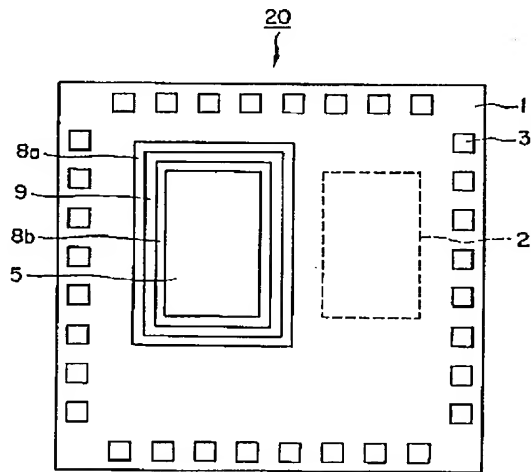
【図3】



【図5】

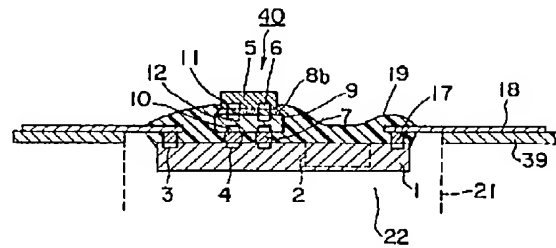


【図4】



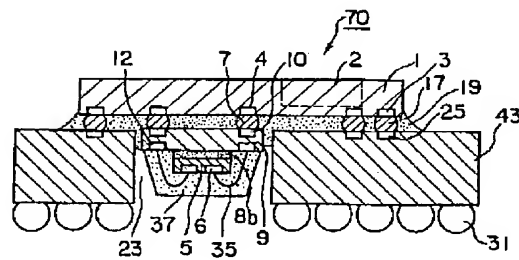
1-----半導体チップ
3-----外部電極パッド
5-----メモリチップ
8a, 8b-----樹脂
9-----介電基板

【図6】

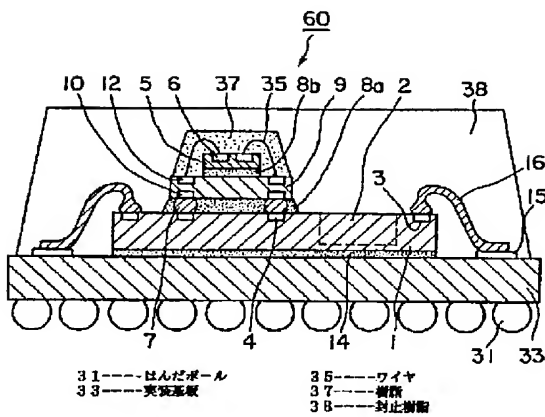


1-----半導体チップ
3-----外部電極パッド
4-----内部電極パッド
5-----メモリチップ
6-----メモリチップ上の内部電極パッド
7, 11, 17-----バンパ
8b-----樹脂
9-----介電基板
10, 12-----介電基板上の電極パッド
18-----金属リード
39-----フィルムキャリアテープ

【図8】

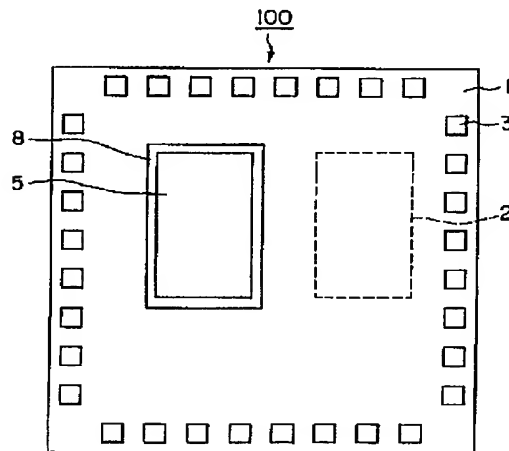


【図7】

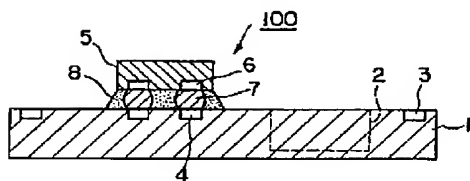


31-----はんだボール
33-----実装基板
35-----ワイヤ
37-----樹脂
38-----封止樹脂

【図11】



【図10】



[illegible]